**Министерство науки и высшего образования Российской Федерации**

**Федеральное государственное автономное образовательное**

**учреждения высшего образования**

**«Южно-Уральский государственный университет**

**(национальный исследовательский университет)»**

**Институт естественных и точных наук**

**Кафедра прикладной математики и программирования**

**Отчет**

**о выполнении лабораторной работы №7 по дисциплине**

**«Исследование работы сумматора»**

**Автор работы,**

**студент группы ЕТ-111**

**\_\_\_\_\_\_\_\_\_ Савонин М. В.**

**«\_\_» \_\_\_\_\_\_\_\_\_\_\_ 2021 г.**

**Руководитель работы,**

**доцент**

**\_\_\_\_\_\_\_\_ Геренштейн Е.А.**

**«\_\_» \_\_\_\_\_\_\_\_\_\_\_\_ 2021 г.**

Челябинск 2021 г.

**1)Сумматоры**

Сумматор — логический операционный узел, выполняющий арифметическое сложение кодов двух чисел. При арифметическом сложении выполняются и другие дополнительные операции: учёт знаков чисел, выравнивание порядков слагаемых и тому подобное. Указанные операции выполняются в арифметическо-логических устройствах (АЛУ) или процессорных элементах, ядром которых являются сумматоры.Сумматоры классифицируют по различным признакам.

В зависимости от системы счисления различают:

1. двоичные;
2. двоично-десятичные (в общем случае двоично-кодированные);
3. десятичные;
4. прочие (например, амплитудные).

По количеству одновременно обрабатываемых разрядов складываемых чисел:

1. одноразрядные,
2. многоразрядные.

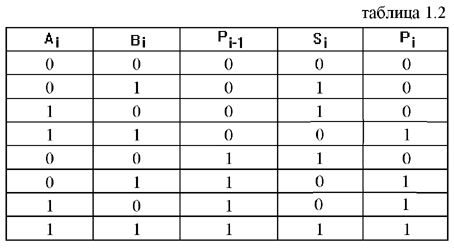
По числу входов и выходов одноразрядных двоичных сумматоров:

1. четвертьсумматоры (элементы “сумма по модулю 2”; элементы “исключающее ИЛИ”), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;
2. полусумматоры, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд);
3. полные одноразрядные двоичные сумматоры, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд).

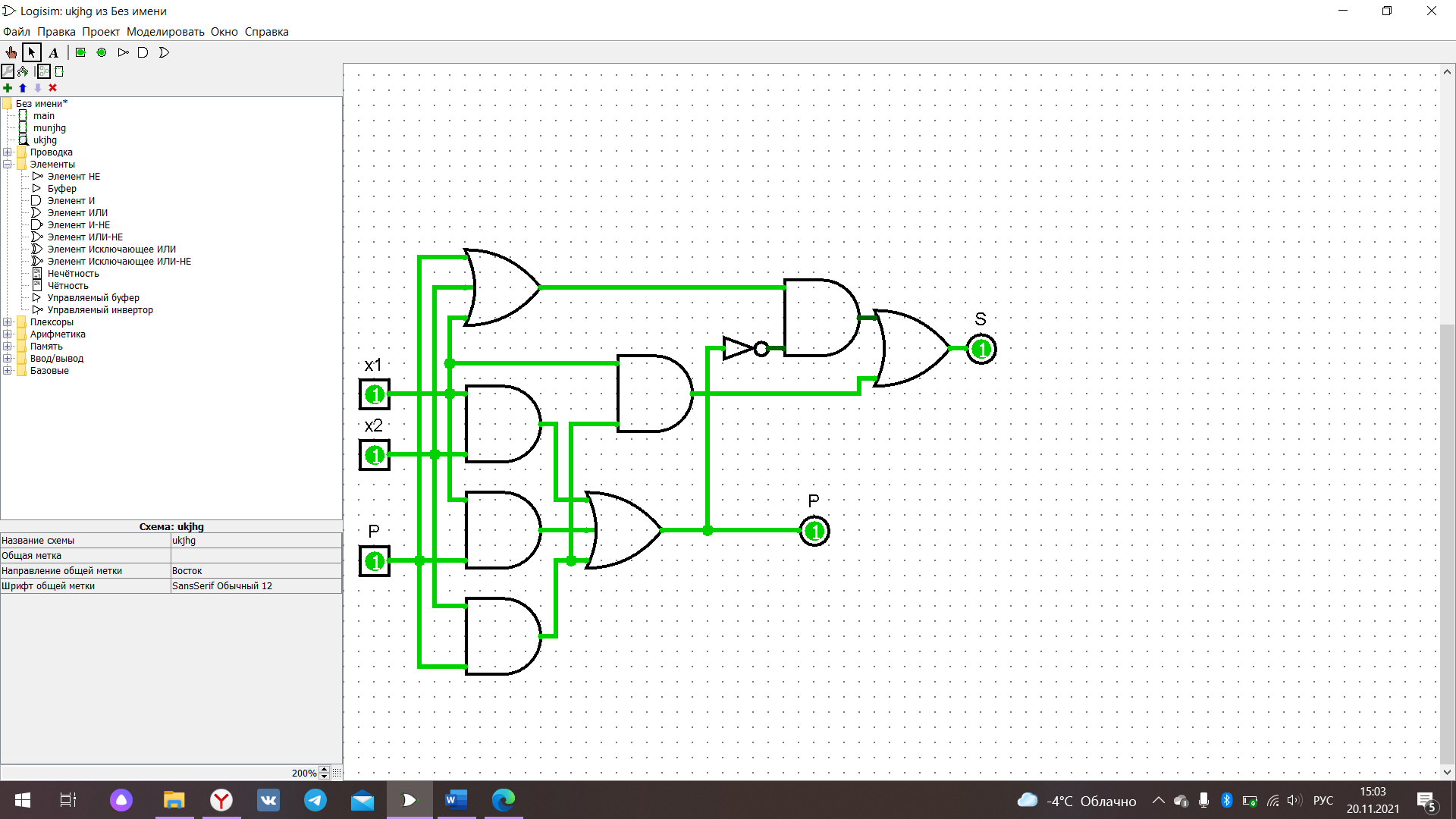
По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на:

1. последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;
2. параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.

Параллельный сумматор в простейшем случае представляет собой n одноразрядных сумматоров, последовательно (от младших разрядов к старшим) соединённых цепями переноса. Однако такая схема сумматора характеризуется сравнительно невысоким быстродействием, так как формирование сигналов суммы и переноса в каждом i-ом разряде производится лишь после того, как поступит сигнал переноса с (i-1)-го разряда.Таким образом, быстродействие сумматора определяется временем распространения сигнала по цепи переноса. Уменьшение этого времени — основная задача при построении параллельных сумматоров.



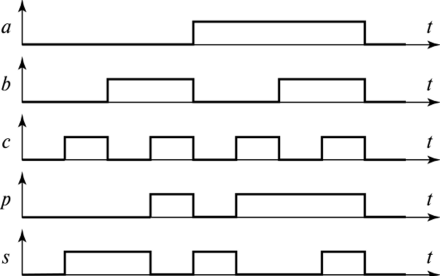
**2)Одноразрядный сумматор**



**3)Таблица истинности, которая у меня получилась через Логисим:**



**4)Временная диаграмма**



P(i)

P(i+1)

S

b

a

**5)Вывод**

В данной работе я узнал про одноразрядные сумматоры. Я научились строить его в Логосом, а полученные табличные данные которые были даны изначально полностью совпали с полученными.